

第8章 输入/输出系统

- 8.1 CPU与外设之间的**信息交换方式**
- 8.2 程序查询方式
- 8.3 程序中**断方式**
- 8.4 **DMA方式**
- 8.5 鲲鹏920处理器的设备与I/O
- 8.6 I/O系统设计



教学要求

- 1. 了解主机与外设的**信息交换方式**
- 2. 熟练掌握**程序中中断方式**的有关概念、中断处理过程
- 3. 掌握**DMA方式**的基本概念、**3种DMA**传送方式、**DMA**周期挪用方式操作过程

I/O系统的功能

输入/出系统的功能：

解决各种形式信息的输入和输出

即：用户如何将所需的信息（文字、图表、声音、视频等）通过不同的外设输入到计算机中，以及计算机内部处理的结果信息如何通过相应的外设输出给用户

要实现上述功能需解决一系列的问题：

怎样在CPU、主存和外设间建立一个高效信息传输“通路”；

怎样将用户的I/O请求转换成设备的命令；

如何对外设进行编址；

怎样使CPU方便地寻找到要访问的外设；

I/O硬件和操作系统如何协调完成主机和外设之间的数据传送

.....

I/O系统的性能

两个常用的性能指标：

吞吐量，即I/O带宽：

单位时间内从系统输入/输出多少数据？

单位时间内实现了多少次输入/输出操作？

(服务器更关注)

响应时间，即等待延迟：

在多长时间完成请求的任务？

(台式机和嵌入式更关注)

不同的任务对性能的要求不同：

要求吞吐量高的场合：

如：多媒体应用（音/视频的播放要流畅！）

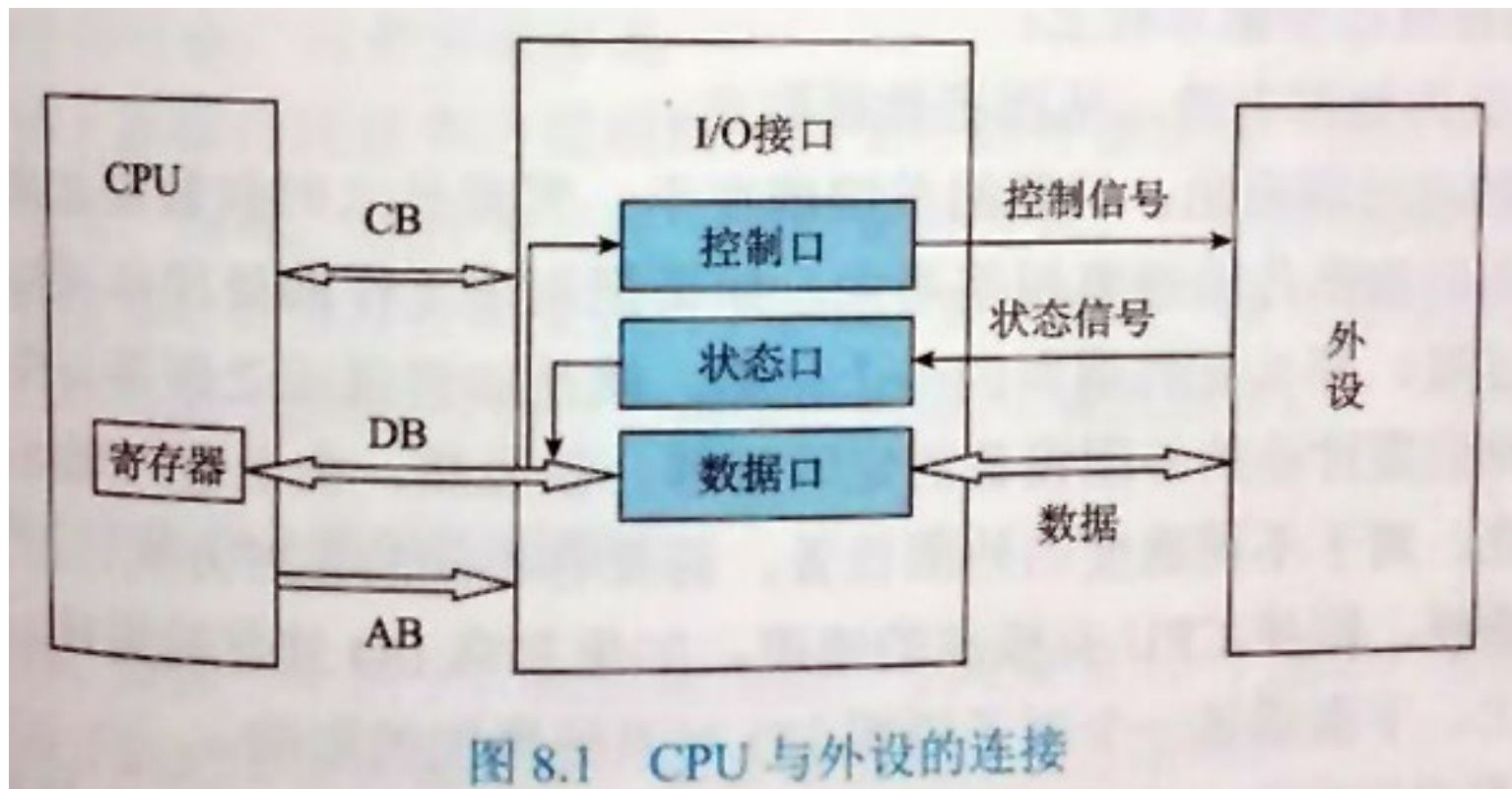
要求响应时间短的场合：

如：事务处理系统（存/取款的速度要快！）

要求吞吐率高且响应时间短的场合：

文件服务器、Web服务器等

8.1 信息交换方式



8.1 信息交换方式

假设一个幼儿园老师带10个孩子，要给每个孩子分二块水果糖，要求孩子们把二块水果糖吃完。她可以采用哪些办法呢？

方法1： 她先给孩子甲一块糖，盯着甲吃完，然后再给第二块；接着给孩子乙，其过程与孩子甲完全一样。依次类推，直至到第10个孩子吃完。

程序查询方式

方法2： 每人发一块糖各自去吃，并约定谁吃完就举手报告，再发第二块。

程序中断方式

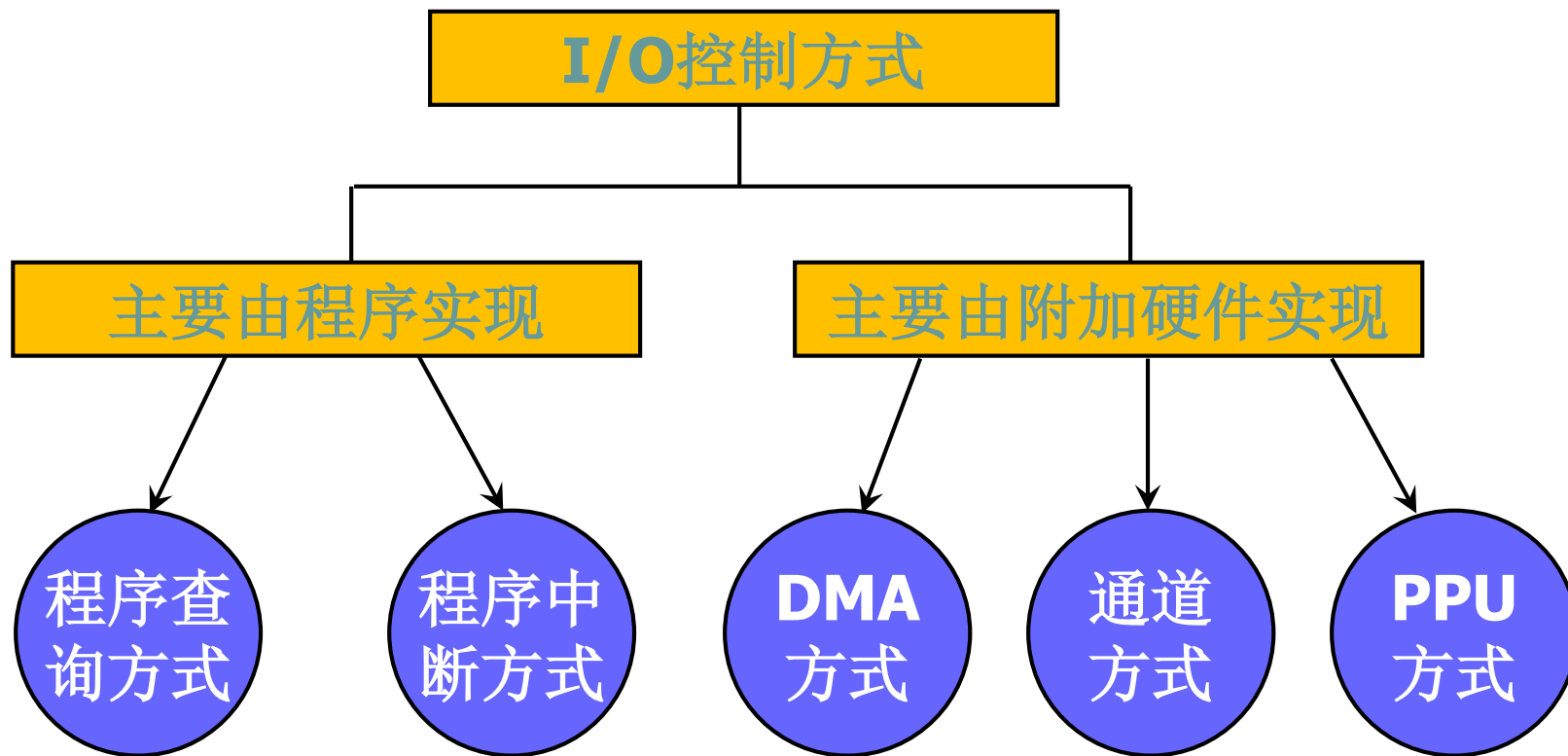
方法3： 进行批处理：每人拿2块糖各自去吃，吃完2块糖后再向老师举手报告。

DMA方式

方法4： 权力下放：把发糖的事交给生活阿姨管，开始、结束时过问一下即可。

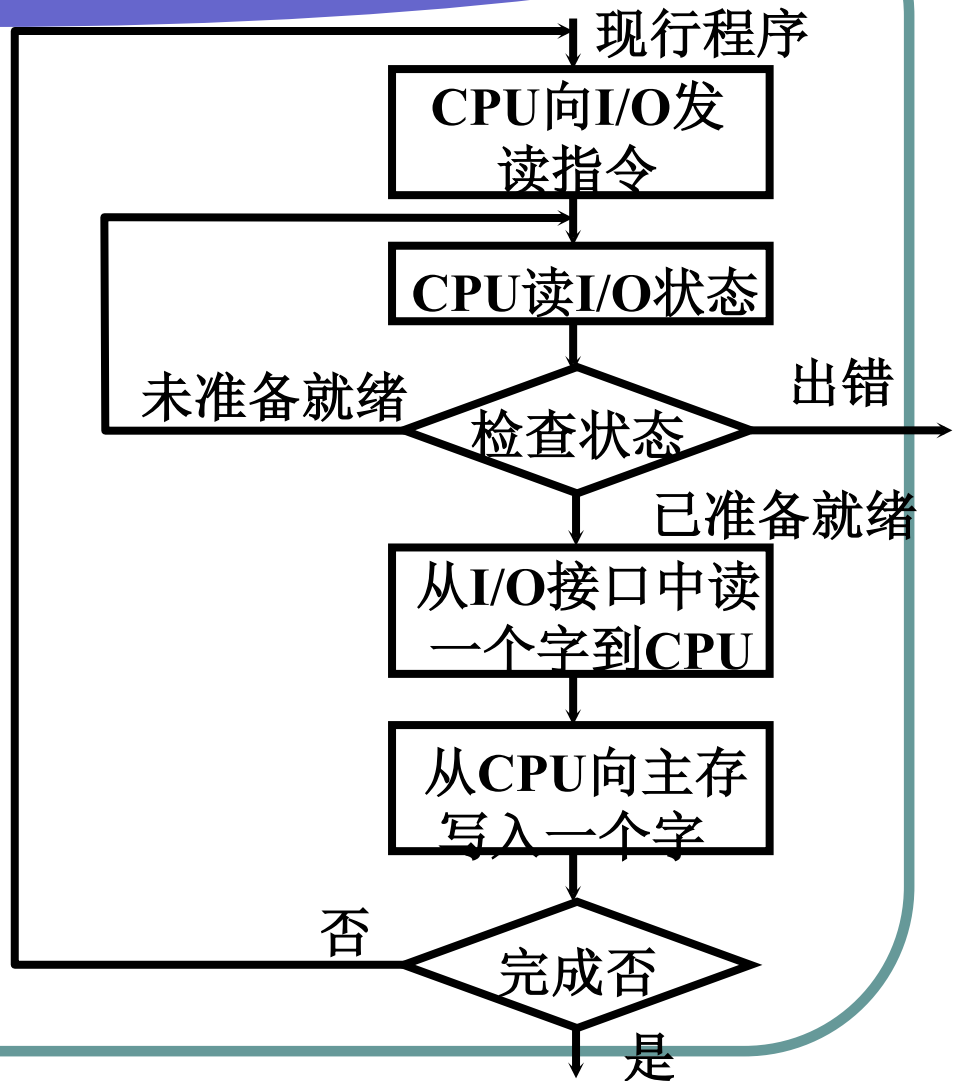
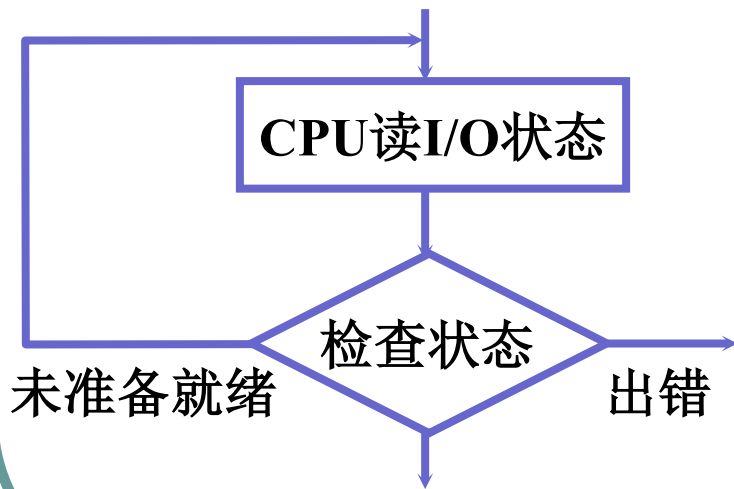
通道方式
外围处理机方式

8.1 信息交换方式



8.2 程序查询方式

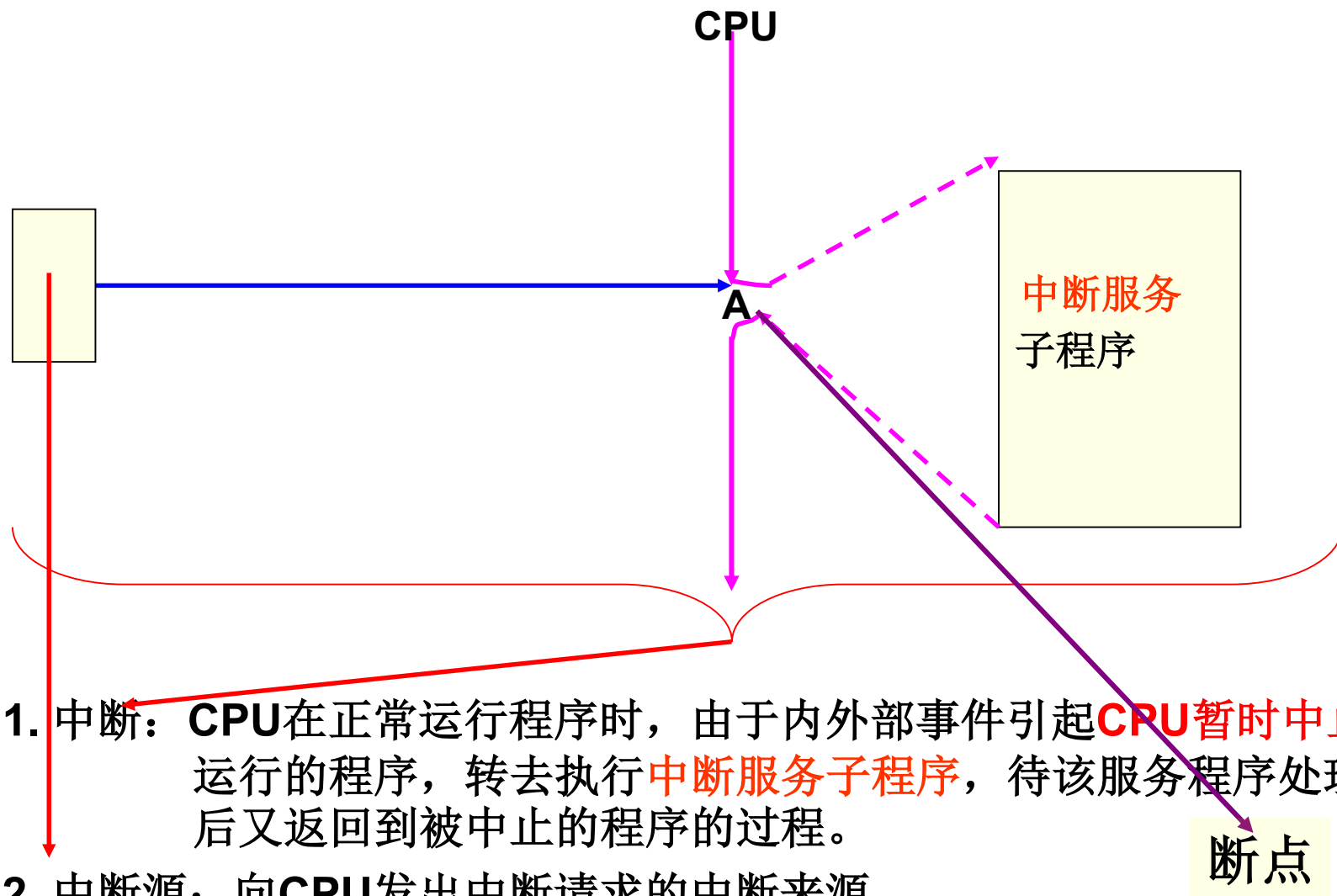
CPU 和 I/O 串行工作 踏步等待



8.3 程序中中断方式

- 中断的基本概念
- 程序中中断方式的流程
- 程序中中断方式的接口电路
- 单级中断和多级中断
- 中断举例

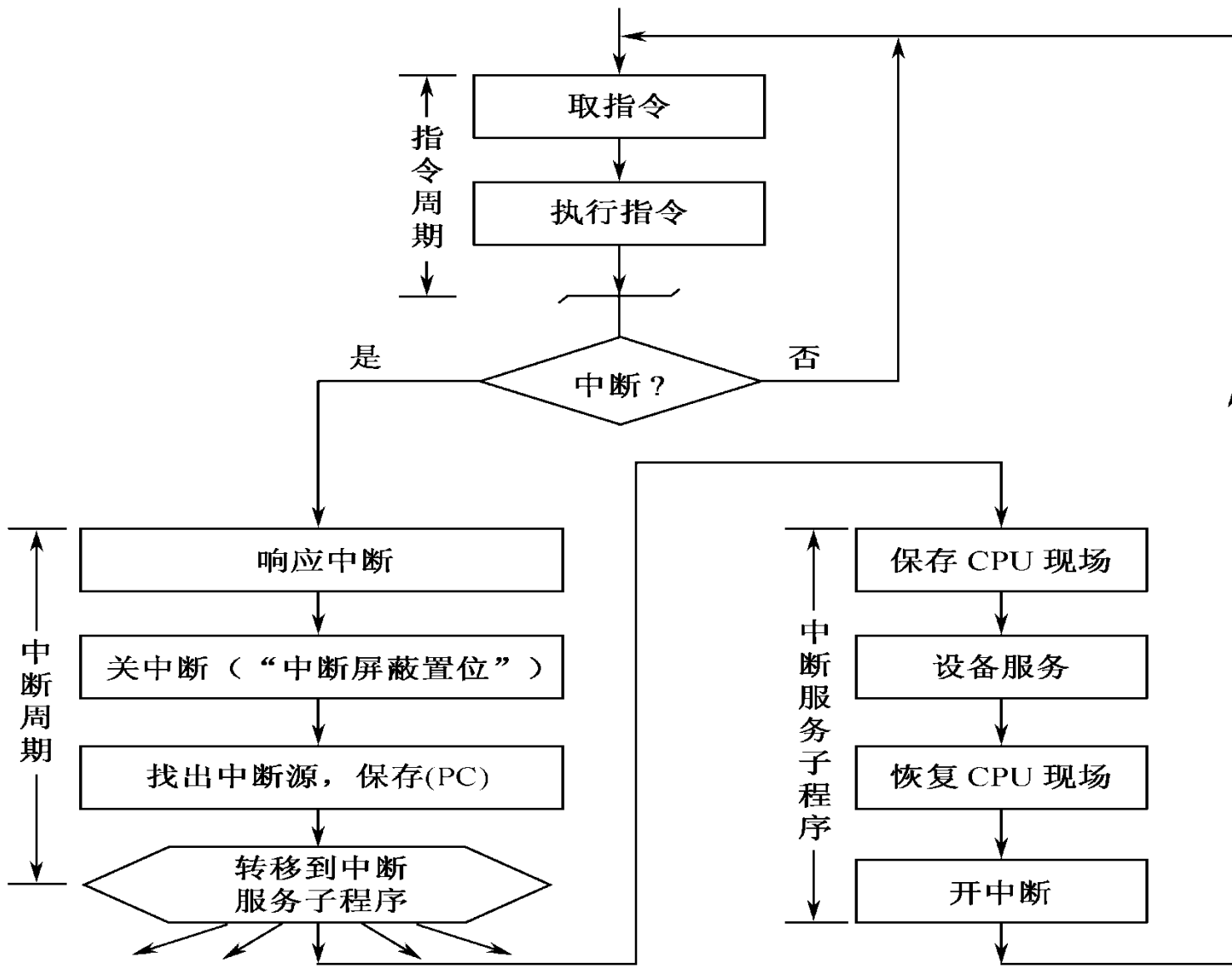
中断的基本概念



1. 中断: CPU在正常运行程序时, 由于内外部事件引起CPU暂时中止正在运行的程序, 转去执行中断服务子程序, 待该服务程序处理完毕后又返回到被中止的程序的程序的过程。
2. 中断源: 向CPU发出中断请求的中断来源。

中断源

- **中断源**：能够向CPU发出中断请求的事件。
- 常见中断源有：
 - **输入、输出设备中断**。如键盘、打印机等工作过程中已做好接收或发送准备。
 - **数据通道中断**。如磁盘、磁带等要同主机进行数据交换等。
 - **实时时钟中断**。
 - **故障中断**。例如电源掉电、设备故障等要求CPU进行紧急处理等。
 - **系统中断**。如运算过程出现溢出、数据格式非法，数据传送过程出现校验错，控制器遇到非法指令等等。
 - **为了调试程序而设置的中断**。



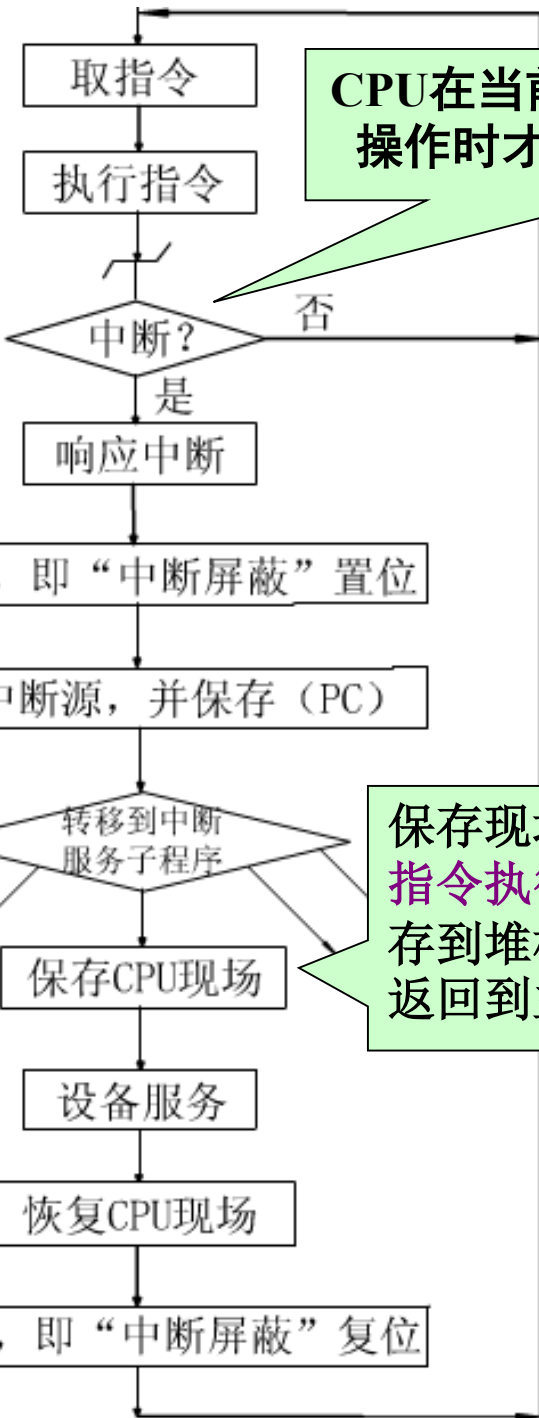
中断请求、中断判优、中断响应、中断处理、中断返回。

- * CPU何时响应中断请求?
- * 如何保证返回到主程序的正确位置?
- * 当CPU响应中断后, 若有新的中断请求如何处理?

中断周期

硬件

序



CPU在当前指令执行完毕转入公操作时才受理设备的中断请求

保存现场: PC的内容以及当前指令执行结束后CPU的状态保存到堆栈中。保证中断处理后返回到主程序的正确位置。

中断处理过程是由硬件和软件结合完成的。

- **中断屏蔽**: CPU中可设置中断屏蔽寄存器, “挡住”中断请求。
- **“关中断”**: 中断屏蔽标志置“1”, 屏蔽所有中断请求;
- **“开中断”**: 中断屏蔽标志置“0”, 允许所有中断请求。

程序中中断方式的基本接口

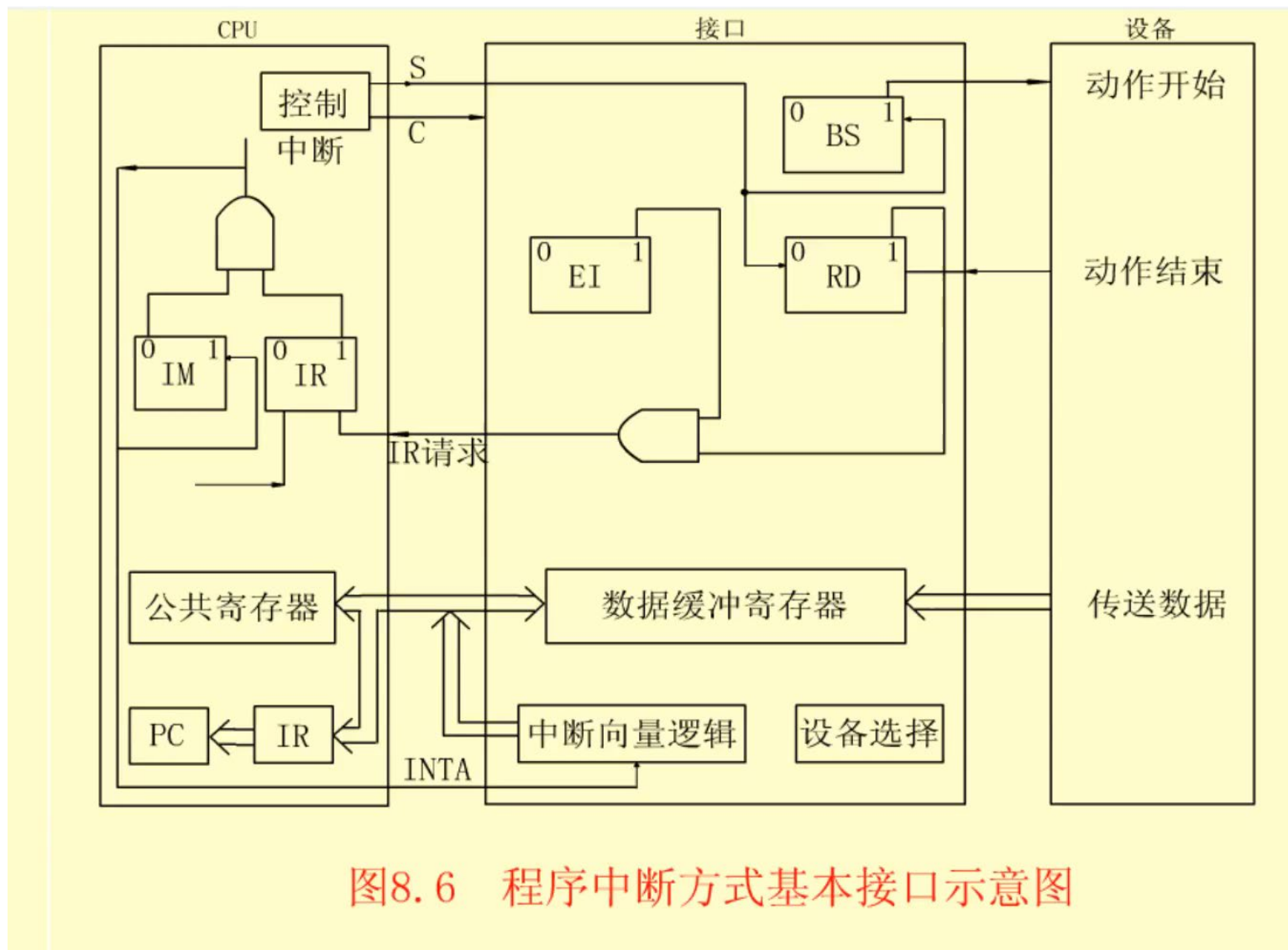
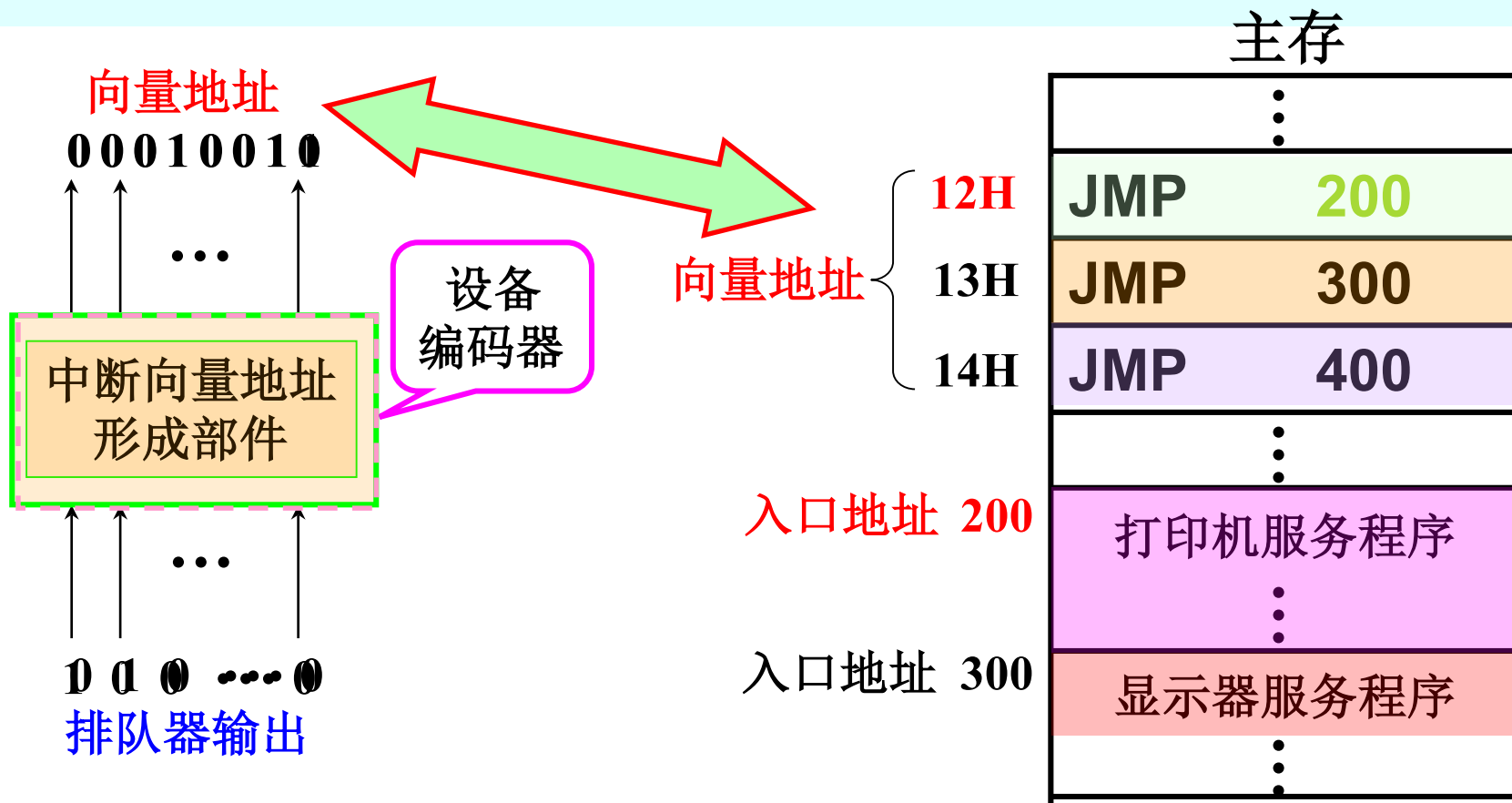


图8.6 程序中中断方式基本接口示意图

程序中断方式的接口电路 → 中断向量地址形成部件

入口地址 { 由软件产生
硬件向量法：由 硬件 **产生** 向量地址 **找到** 入口地址

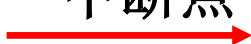


单级中断与多级中断

(1) 单级中断

CPU执行主程序

中断源



CPU执行中断服务程序

返回

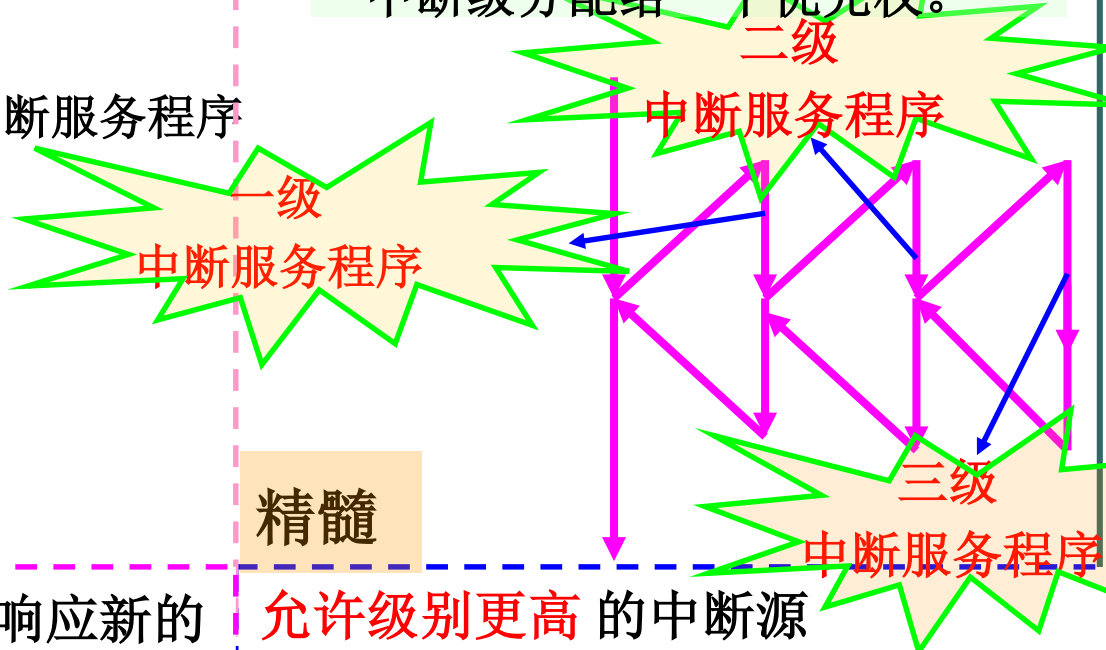
CPU继续执行主程序

精髓

CPU执行中断服务程序时，不响应新的中断请求即不允许中断 现行的中断服务程序。

(2) 多级中断

指计算机系统中有多个中断源，根据各中断事件的轻重缓急程度不同而分成若干级别，每一个中断级分配给一个优先权。

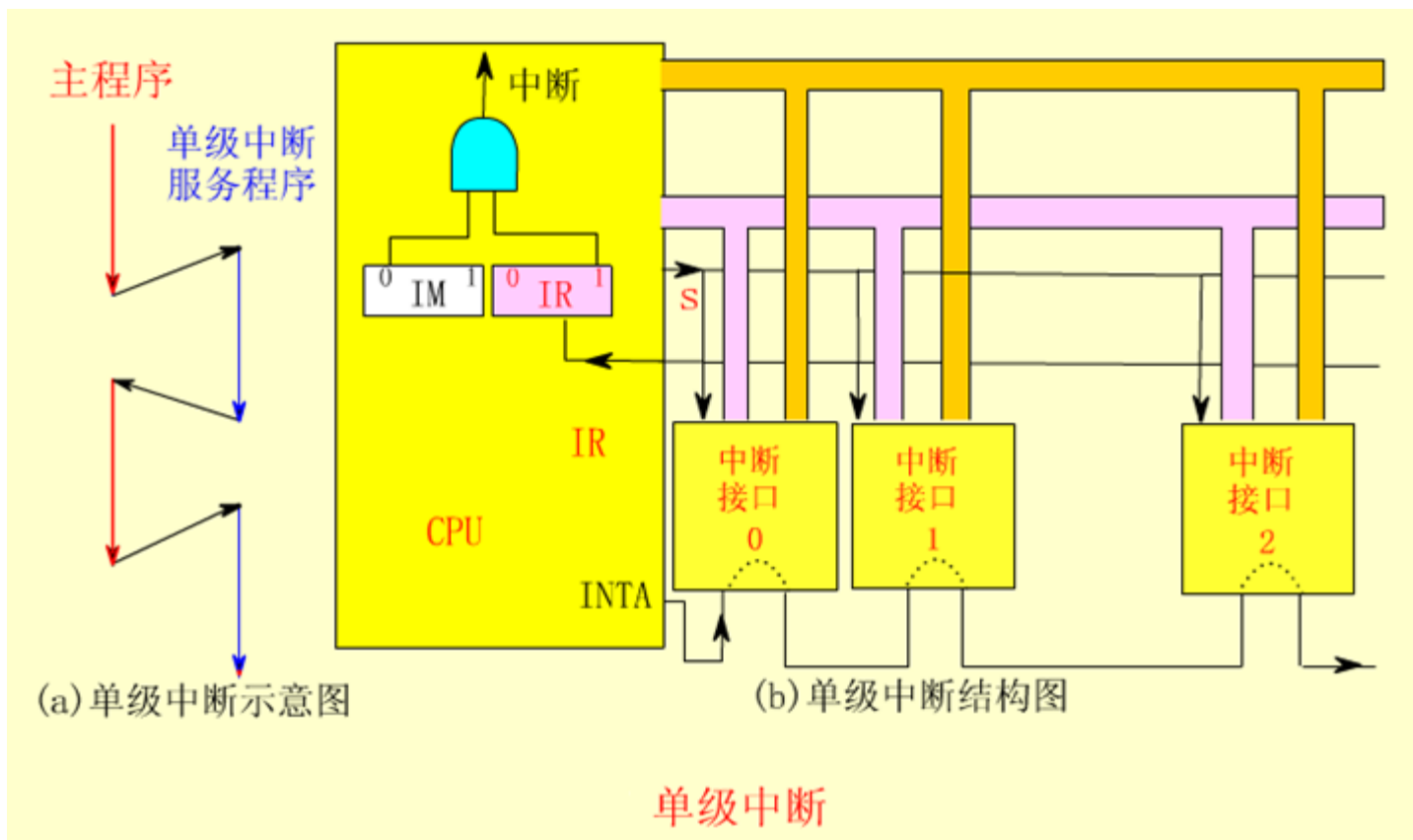


精髓

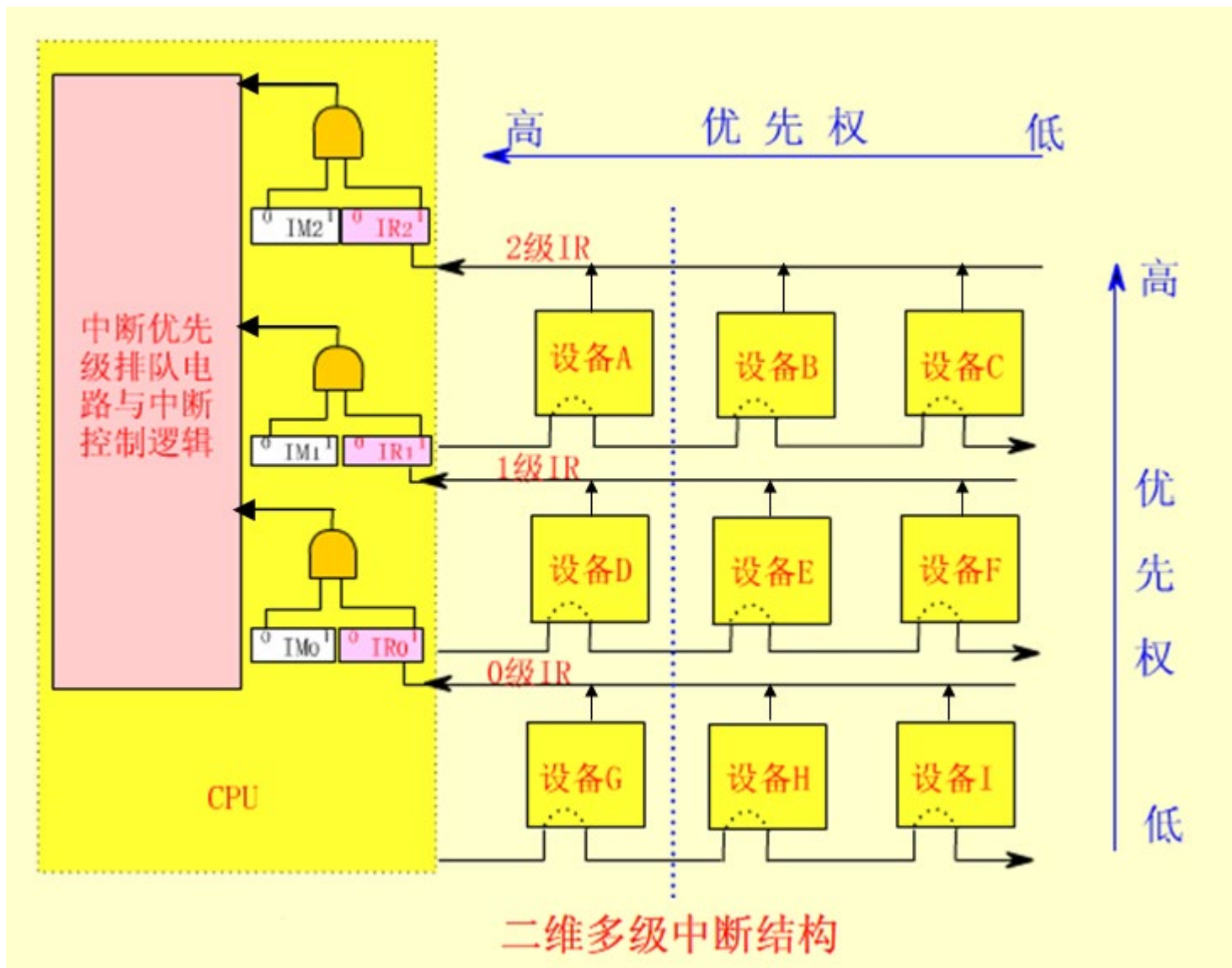
允许级别更高的中断源中断现行的中断服务程序

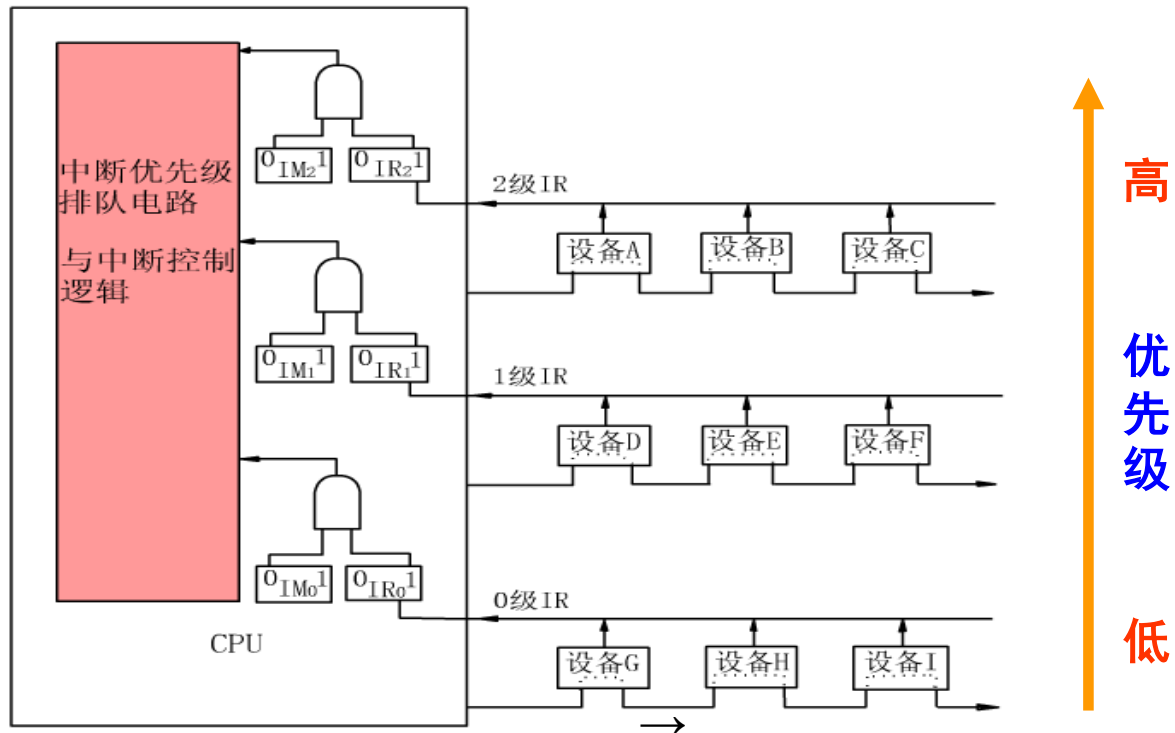
单级中断

- 离CPU近的优先权高，存在一个由**硬件**决定的**响应**优先级。
- 当多个中断源请求时，CPU选择优先级最高的予以响应。



多级中断





例 (1) 中断情况下，CPU和设备的优先级如何考虑？设备的优先级顺序如何？

答：CPU优先级最低。设备次序： $A \rightarrow B \rightarrow C \rightarrow D \rightarrow E \rightarrow F \rightarrow G \rightarrow H \rightarrow I \rightarrow CPU$

(2) 执行B中断服务程序时，IM2、IM1、IM0为多少？若执行D中服呢？

答：执行B中服时，IM2、IM1、IM0为111。若执行D中服，为011。

(3) 每一级的IM能否对个别设备单独屏蔽？若不能，什么办法可达到目的？

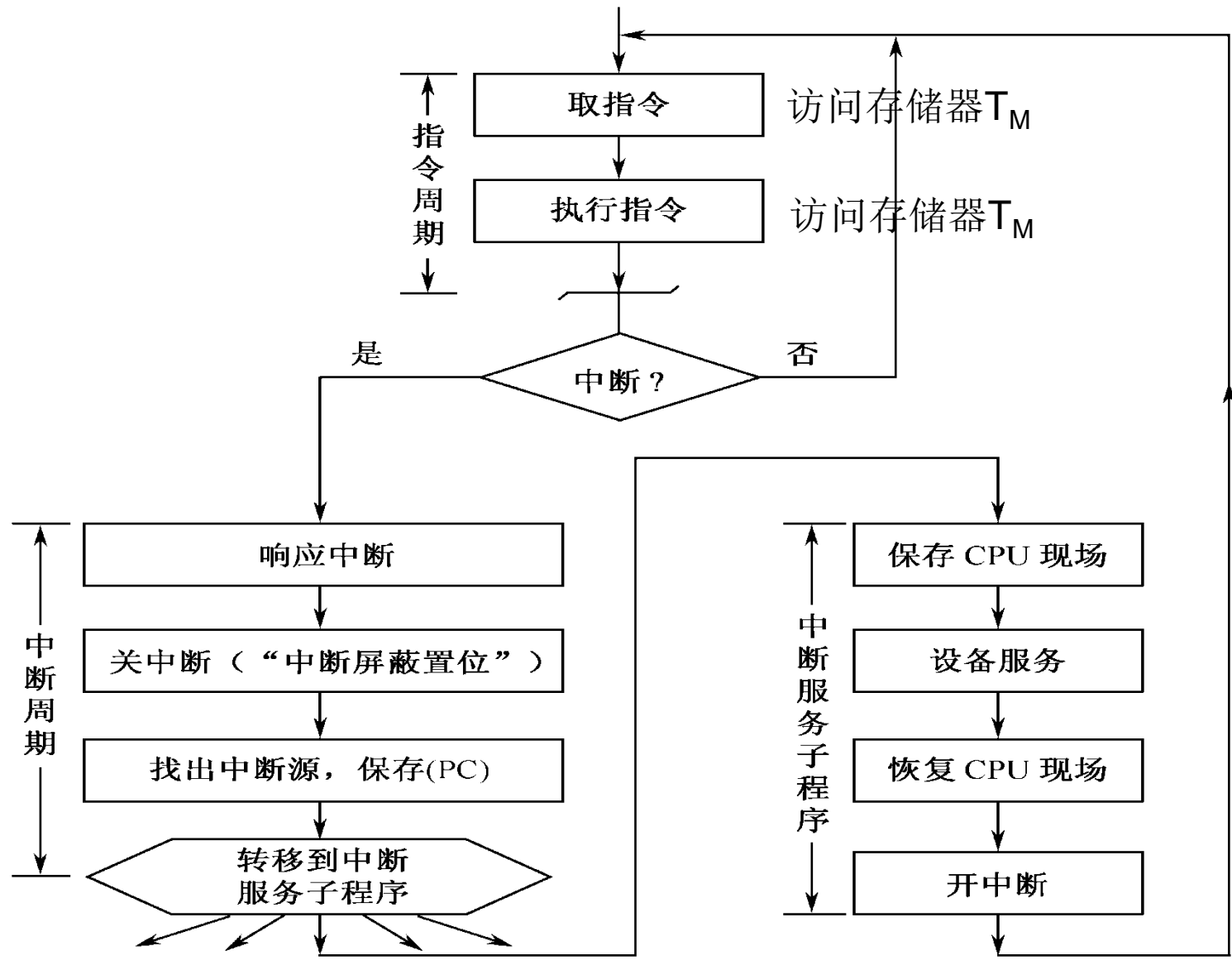
答：不能。可将设备接口的EI标志置“0”，禁止该设备发出中断请求。

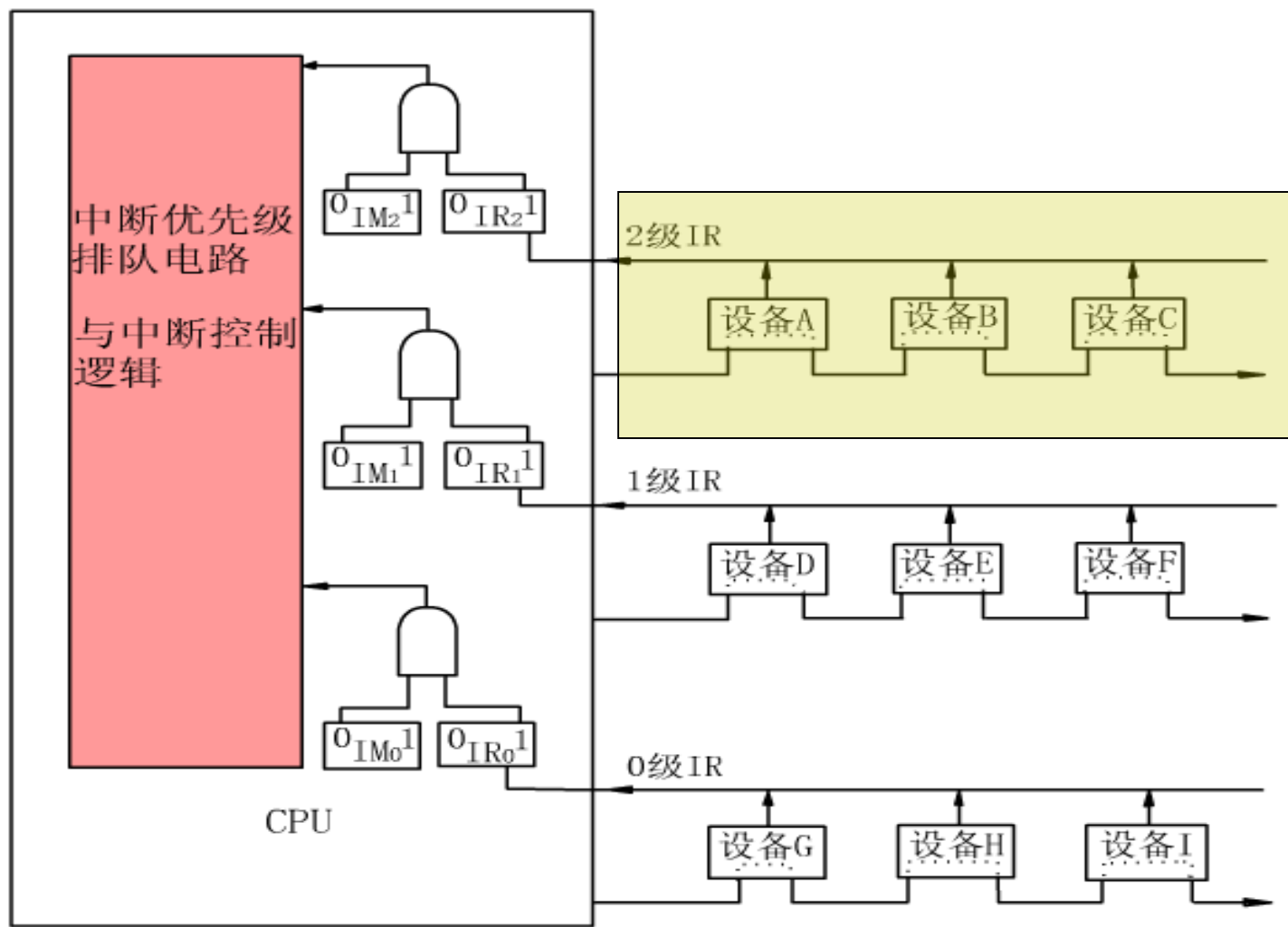
(4) 假如设备C一提出中断请求，CPU立即响应，如何调整？

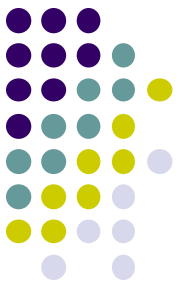
答：将C从第2级取出来，单独放在第3级。



- **例题2:** 参见例1所示的系统, 只考虑A, B, C三个设备组成的单级中断结构, 它要求CPU在执行完当前指令时对中断请求进行服务。假设:
(1)CPU“中断批准”机构在响应一个新的中断之前, 先要让被中断的程序的一条指令一定要执行完毕; (2) T_{DC} 为查询链中每个设备的延迟时间;
(3) T_A, T_B, T_C 分别为设备A, B, C的服务程序所需的执行时间; (4) T_S, T_R 为保存现场和恢复现场所需的时间; (5)主存工作周期为 T_M 。试问: 就这个中断请求环境来说, 系统在什么情况下达到中断饱和?







根据中断处理流程，并假设执行一条指令的时间也为 T_M 。如果三个设备同时发出中断请求，那么依次分别处理设备A、设备B、设备C的时间如下：

$$t_A = 2T_M + T_{DC} + T_S + T_A + T_R$$

$$t_B = 2T_M + 2T_{DC} + T_S + T_B + T_R$$

$$t_C = 2T_M + 3T_{DC} + T_S + T_C + T_R$$

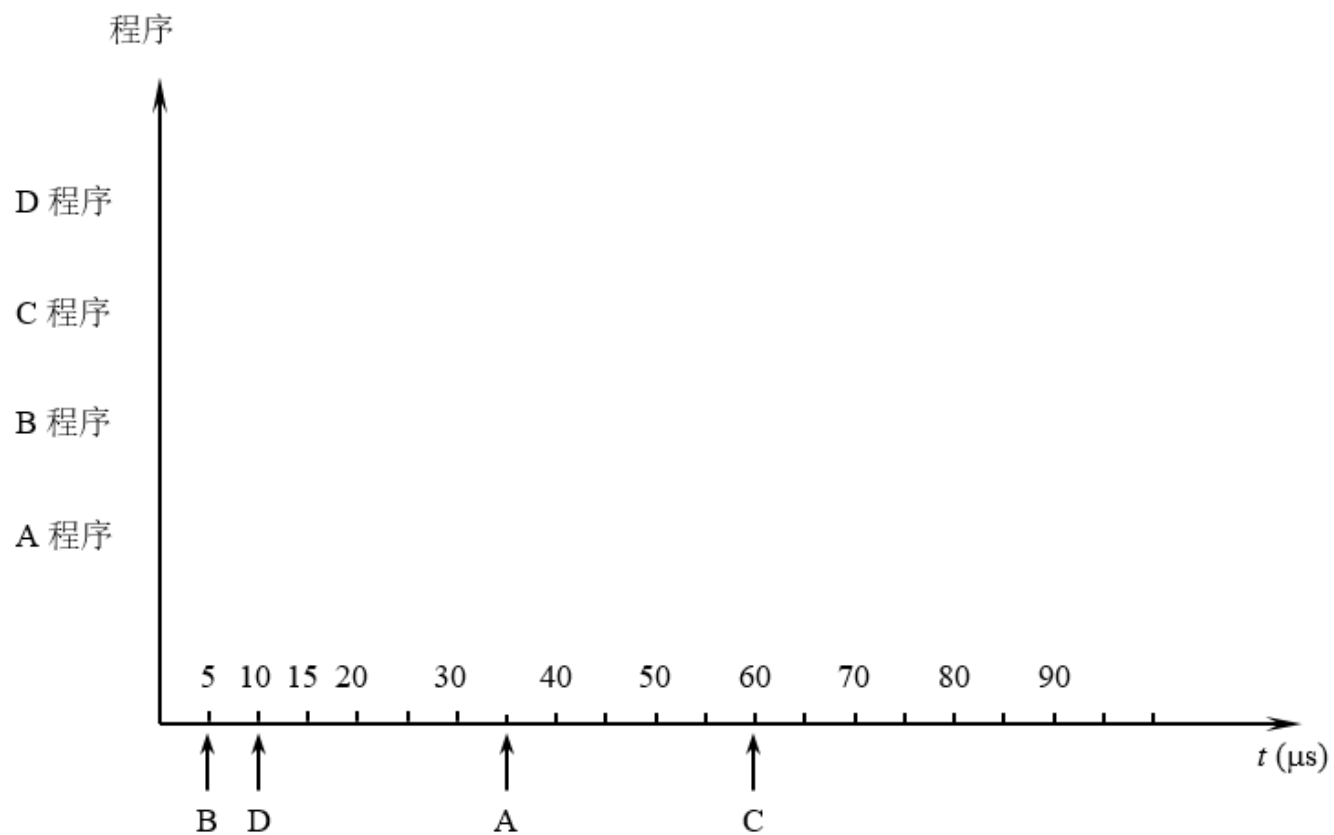
处理三个设备所需的总时间为： $T = t_A + t_B + t_C$

T 是达到中断饱和的最小时间，即中断极限频率为： $f = 1/T$

例题

- 设计计算机有五个中断源A、B、C、D、E，其硬件排队优先次序为 $A > B > C > D > E$ ，现要求将中断处理次序改为 $D > A > C > B > E$ 。
- (1) 写出每个中断源对应的屏蔽字（“0”表示允许中断，“1”表示中断屏蔽）。
- (2) 按下图时间轴给出的四个中断源的请求时刻，画出CPU执行程序轨迹。设每个中断源的中断服务程序时间均为 $20\mu\text{s}$ 。

例题(续)



解答：

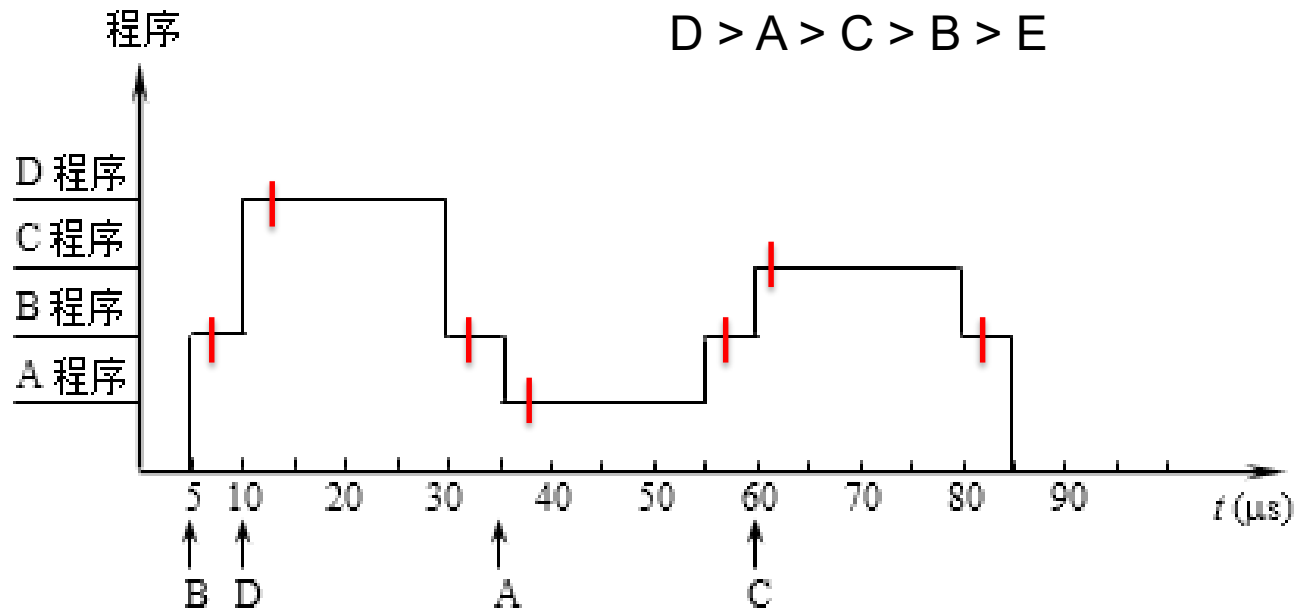
$D > A > C > B > E$

(1)

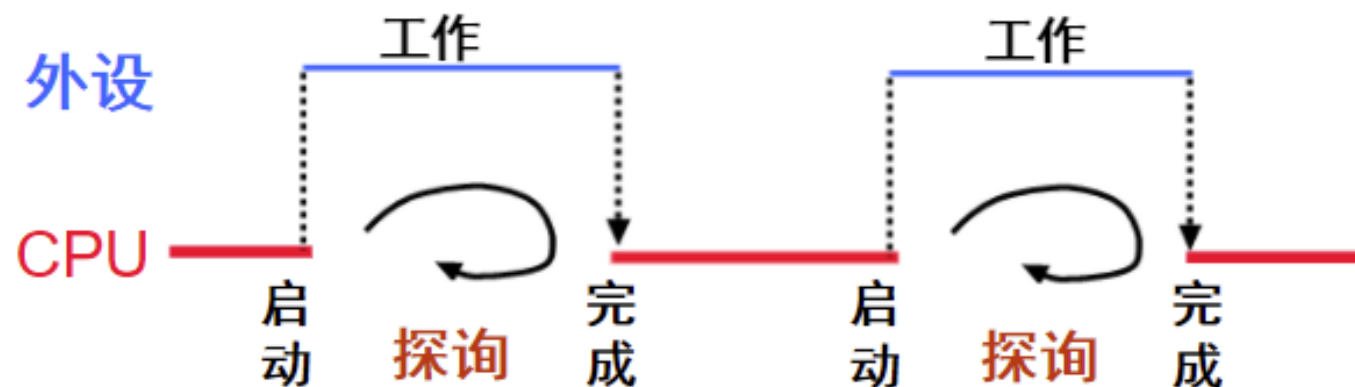
中断处理程序	中断处理级屏蔽位				
	A	B	C	D	E
A 中断处理程序	1	1	1	0	1
B 中断处理程序	0	1	0	0	1
C 中断处理程序	0	1	1	0	1
D 中断处理程序	1	1	1	1	1
E 中断处理程序	0	0	0	0	1

解答：

(2)



两种方式比较：程序查询I/O方式



“踏步”现象

此时，CPU处于停止状态吗？

“探测”期间，可一直不断查询（独占查询），也可定时查询（需保证数据不丢失！）。

特点：

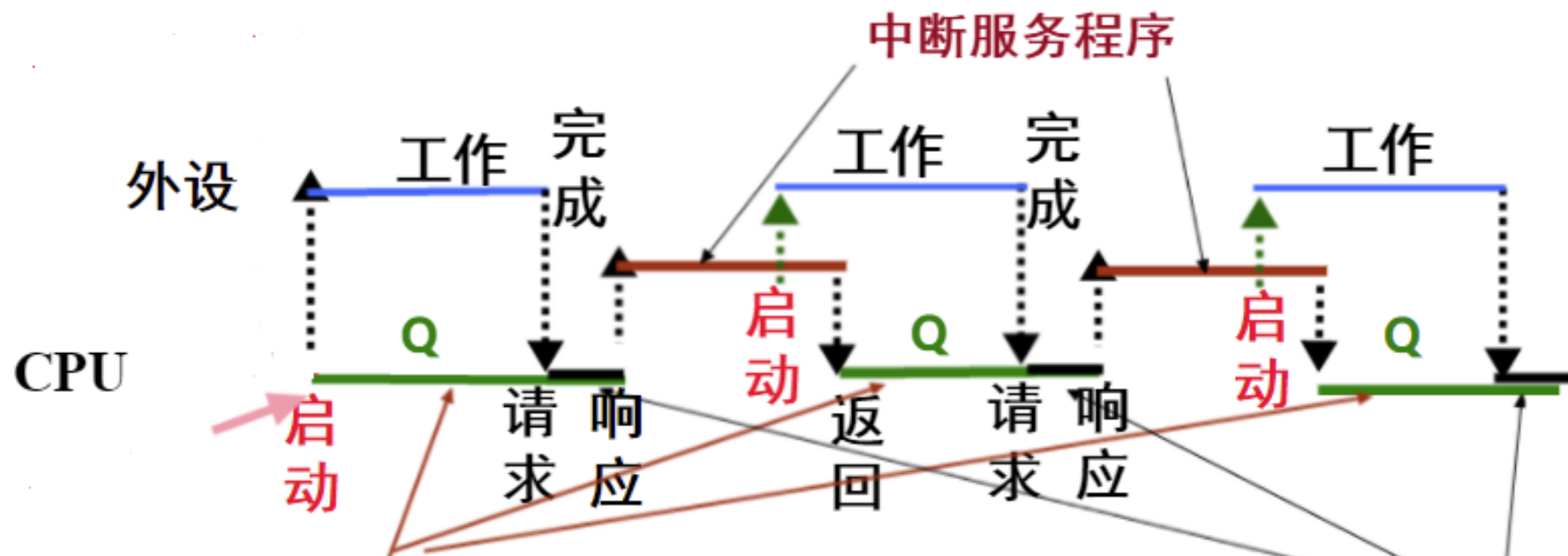
- 简单、易控制、外围接口控制逻辑少；
- CPU与外设串行工作，效率低、速度慢，适合于慢速设备
- 查询开销极大（CPU完全在等待“外设完成”）

工作方式：完全串行或部分串行，CPU用100%的时间为I/O服务！

两种方式比较：中断I/O方式

基本思想：

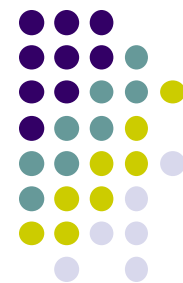
当外设准备好 (ready) 时，便向CPU发中断请求，CPU响应后，中止现行程序的执行，转入“**中断服务程序**”进行输入/出操作，以实现主机和外设接口之间的数据传送，并启动外设工作。“中断服务程序”执行完后，返回原被中止的程序断点处继续执行。此时，外设和CPU并行工作。



上述哪段时间CPU和外设并行工作？

程序切换（响应中断）由硬件完成，即执行“中断隐指令”，时间为

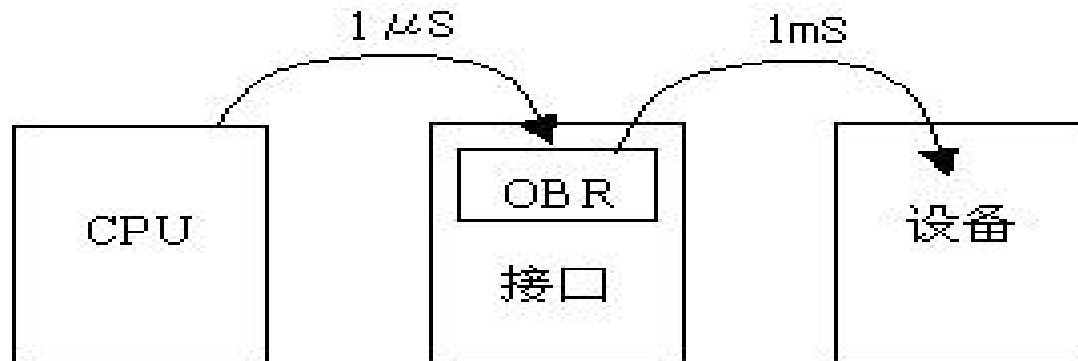
查询方式与中断方式的比较



- 举例：假定某机控制一台设备输出一批数据。数据由主机输出到接口的数据缓冲器OBR，需要 $1\mu\text{s}$ 。再由OBR输出到设备，需要 1ms 。设一条指令的执行时间为 $1\mu\text{s}$ (包括隐指令)。试计算采用程序查询方式和中断方式的数据传输速度和对主机的占用率。

问题：CPU如何把数据送到OBR，I/O接口如何把OBR中的数据送到设备？

CPU执行I/O指令来将数据送OBR；而I/O接口则是自动把数据送到设备。



- **对主机占用率：**

在进行I/O操作过程中，处理器有多少时间花费在输入/输出操作上。

- **数据传送速度（吞吐率、I/O带宽）：**

单位时间内传送的数据量。

假定每个数据的传送都要重新启动！即是字符型设备

查询方式与中断方式的比较

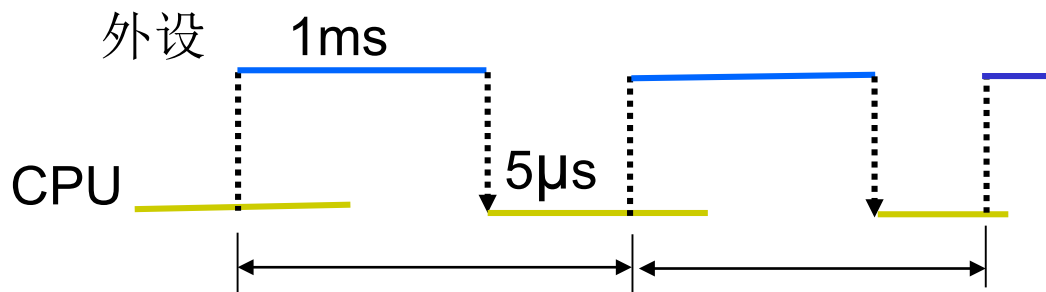


(1) 程序直接控制传送方式

若查询程序有10条，第5条为启动设备的指令，则：

数据传输率为： $1/(1000+5) \mu\text{s}$ ，约为每秒995个数据。

主机占用率=100%



程序传送方式

(2) 中断传送方式

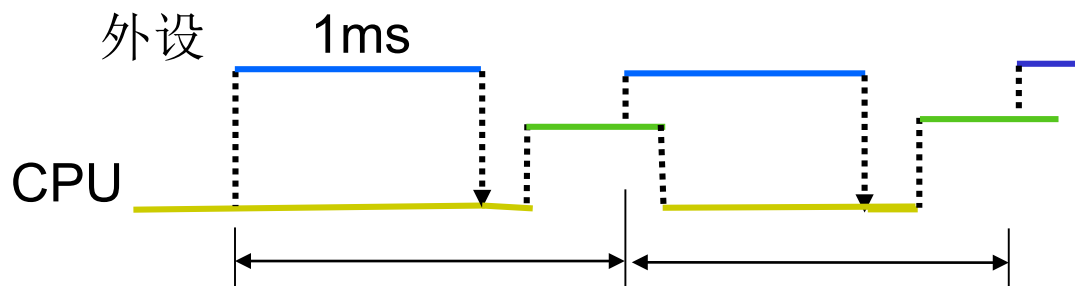
若中断服务程序有30条，
在第20条启动设备，则：

数据传输率为：

$1/(1000+1+20) \mu\text{s}$ ，约为
每秒979个数据。

主机占用率为：

$(1+30)/(1000+1+20)=3\%$



中断传送方式

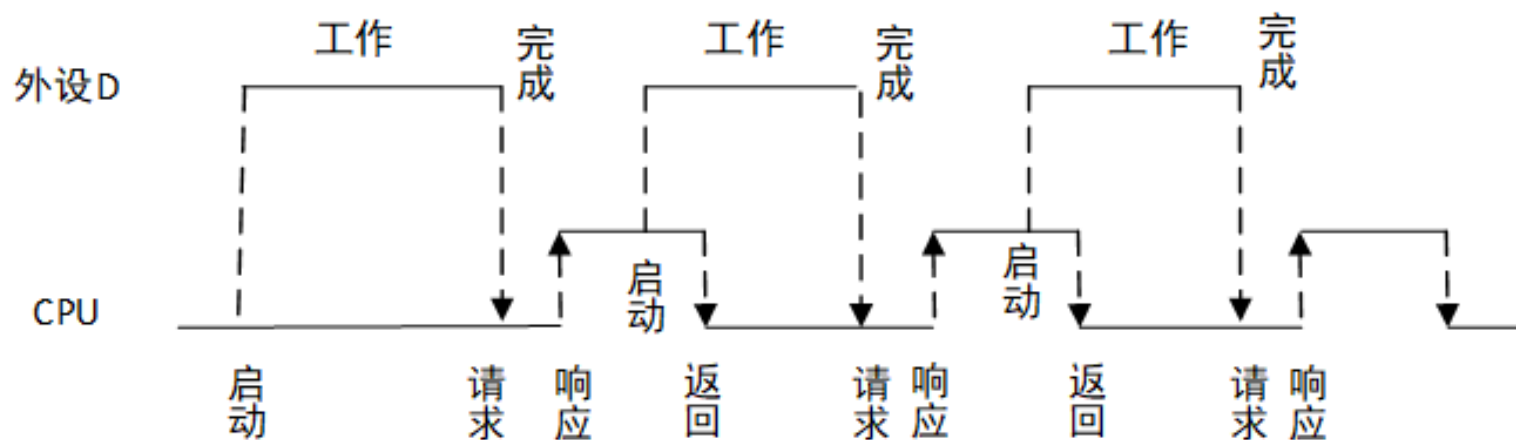
为什么中断服务程序比查询程序长？

因为中断服务程序有额外开销，如：保存现场、保存屏蔽字、开中断、（查询中断源）等

(15分) 假定 CPU 主频为 50MHz, CPI 为 4。设备 D 采用异步串行通信方式向主机传送 16 位汉字交换码字符, 通信规程中有 1 位奇校验位和 1 位停止位, 从 D 接收启动命令到字符送入 I/O 端口需要 0.5ms。回答下列两个问题, 并说明理由。

1) 每传送一个字符, 在异步串行通信线上共需传输多少位? 在设备 D 持续工作过程中, 每秒最多可向 I/O 端口送入多少个字符?

2) 设备 D 采用中断方式进行输入/输出, 示意图如下所示:



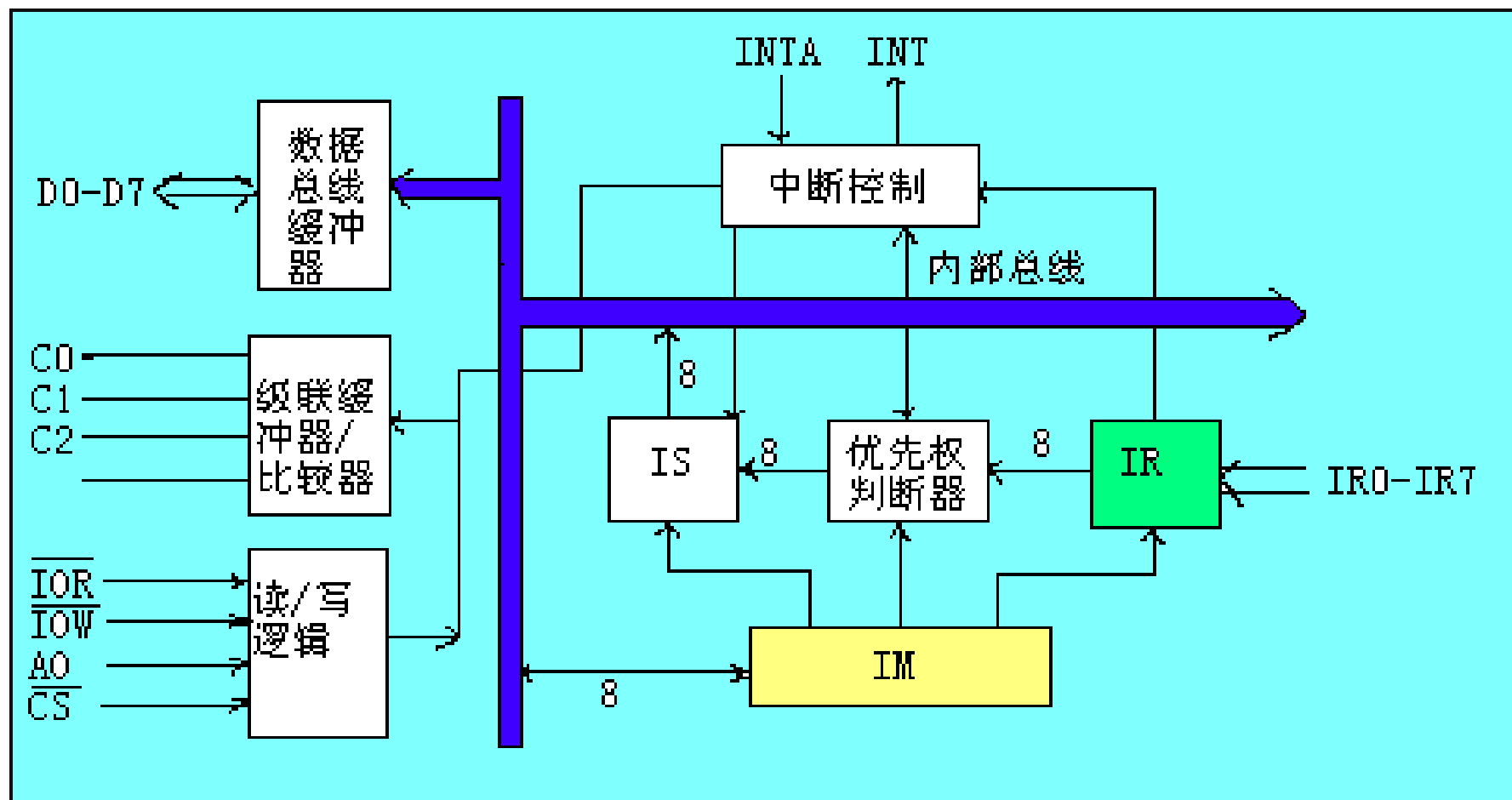
如果 I/O 端口每收到一个字符申请一次中断, 中断响应需 10 个时钟周期, 中断服务程序共有 20 条指令, 其中第 15 条指令启动设备 D 工作。若 CPU 需从 D 读取 1000 个字符, 则完成这一任务所需时间是多少个时钟周期? 其中 CPU 用于完成这一任务的时间是多少个时钟周期? 请解释在中断响应阶段 CPU 进行了哪些操作?



答：（1）每传送一个字符，需要 1 位起始位，16 位数据位，1 位奇校验位和 1 位停止位： $1+16+1+1=19\text{bit}$ 。I/O 端口每秒最多可接收 $1000/0.5=2000$ 个字符。

（2）一个字符传送时间包括：设备 D 将字符送 I/O 端口时间、中断响应时间和中断服务程序前 15 条指令执行时间。时钟周期为 $1/(50\text{Mhz})=20\text{ns}$ ，设备 D 将字符送 I/O 端口时间为 $0.5\text{ms}/20\text{ns}=2.5 \times 10^4$ 个时钟周期，一个字符传送时间为 $2.5 \times 10^4 + 10 + 15 \times 4 = 25070$ 个时钟周期。完成 1000 个字符传送所需时钟周期约为 $1000 \times 25070 = 25070000$ 个时钟周期。CPU 用于完成这一任务的时间约为 $1000 \times (10 + 20 \times 4) = 9 \times 10^4$ 个时钟周期。在中断响应阶段，CPU 主要进行以下操作：关中断、保护断点和程序状态、识别中断源。

中断控制器 (集成8259)



中断总结

1.宏观上，实现了CPU与I/O的“并行”工作；克服了程序查询方式中的CPU“原地踏步”现象。

2.微观上，CPU在执行中断服务程序时，终止了原有程序的执行，没有做到CPU与I/O外设绝对“并行”工作。

思考：如何做到CPU与I/O工作的绝对并行呢？？？

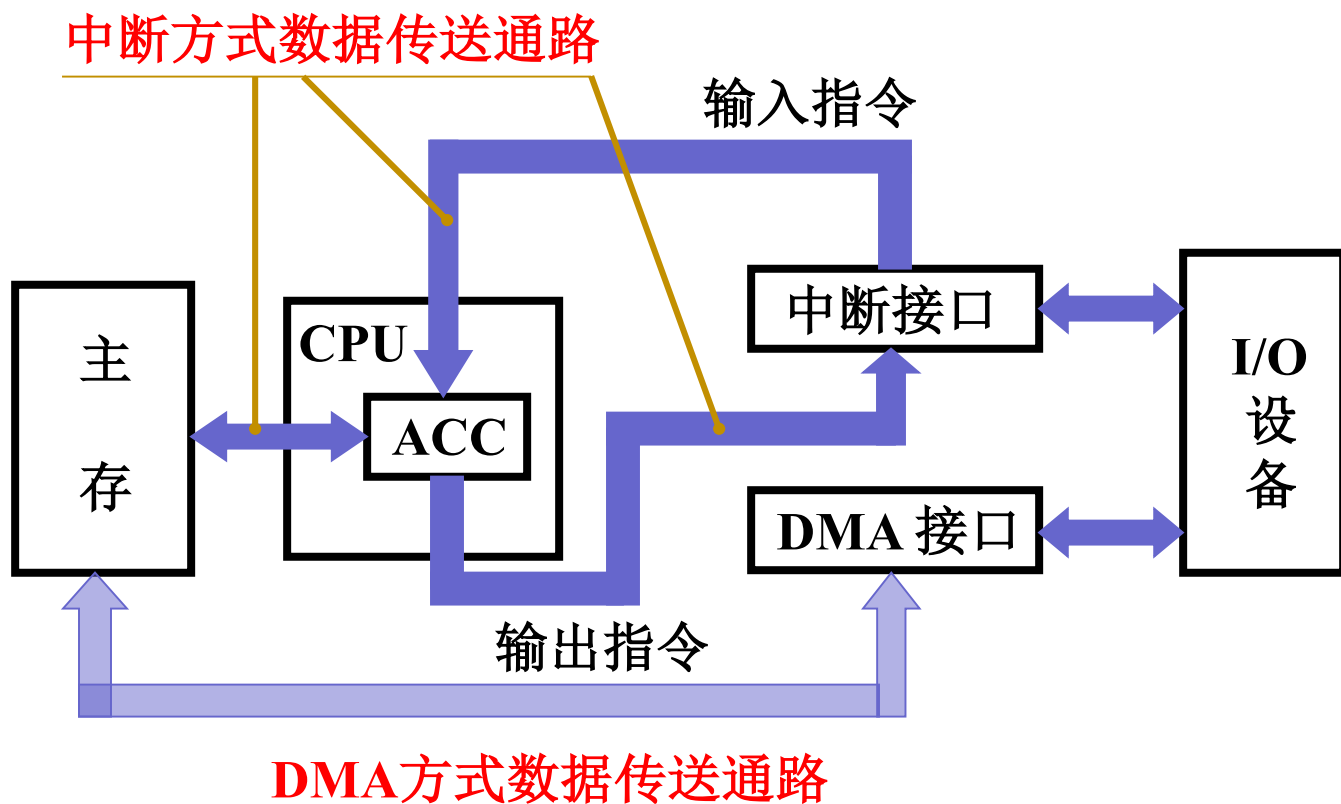
DMA

8.4 DMA方式

- 8.4.1 DMA的基本概念
- 8.4.2 DMA传送方式
- 8.4.3 基本的DMA控制器
- 8.4.4 选择型和多路型DMA控制器

8.4.1 DMA的基本概念

•DMA 和程序中断两种方式的数据通路



8.4.1 DMA的基本概念

DMA 应用:主存与高速I/O的简单数据传送

- 以数据块为单位的磁盘读/写操作
- 以数据帧为单位的外部通信
- 大批量数据采集场景

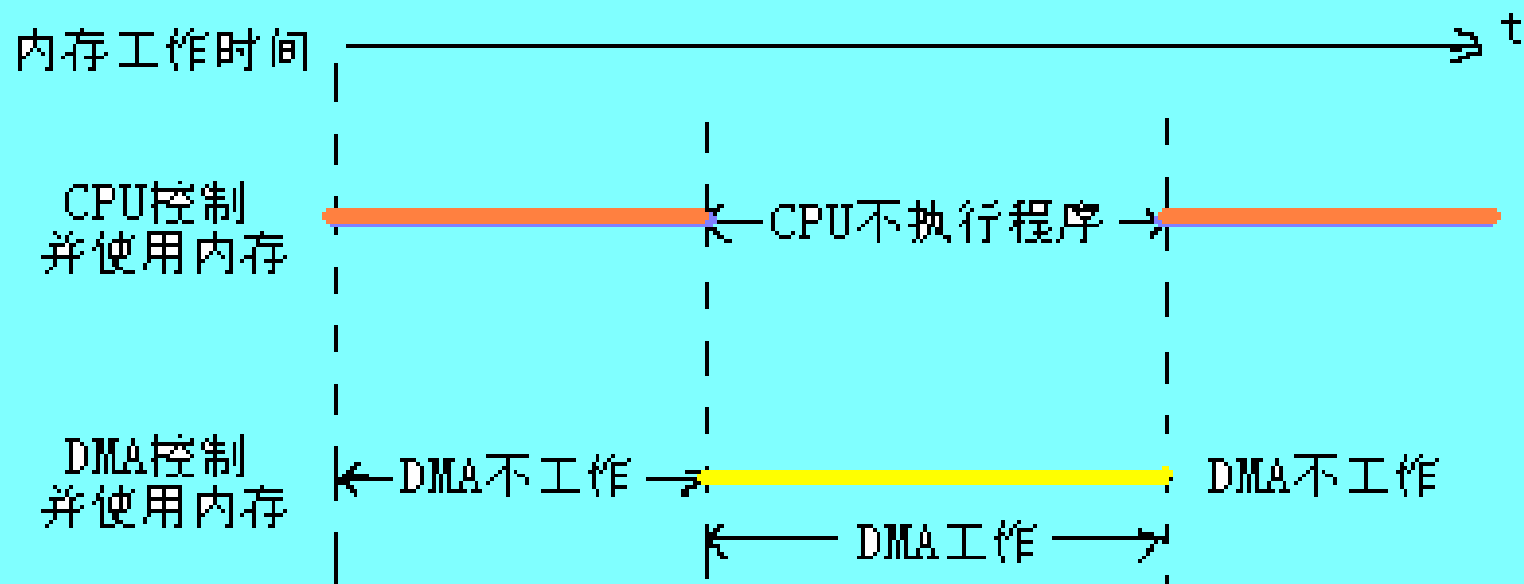
DMA至少能执行以下一些基本操作

- (1)从外围设备发出**DMA请求**;
- (2)**CPU**响应请求,把**CPU**工作改成**DMA**操作方式,**DMA控制器**从**CPU**接管**总线的控制**;
- (3)由**DMA控制器**对**内存寻址**,即决定数据传送的内存单元地址及数据传送个数的计数,并**执行数据传送**的操作;
- (4)向**CPU**报告**DMA**操作的**结束**。

8.4.2 DMA传送方式

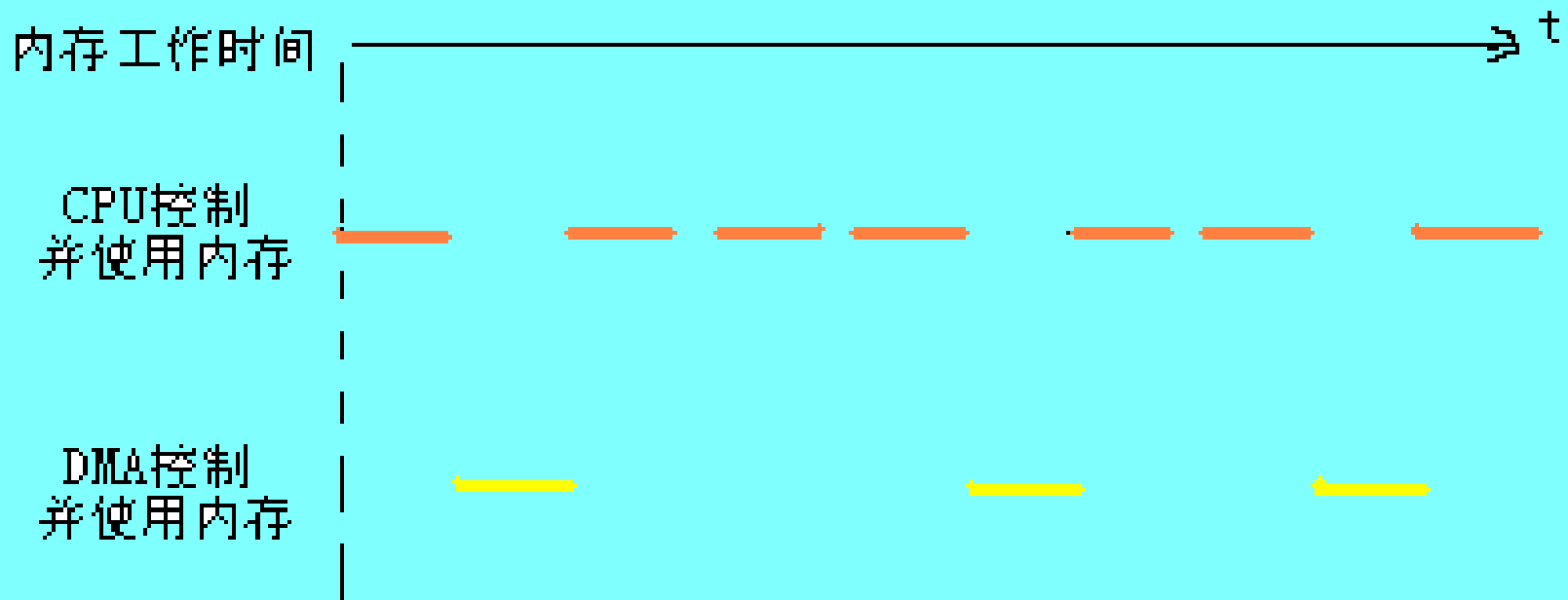
- **DMA控制器与CPU分时使用内存通常采用以下三种方法：**
 - **1.成组连续传送方式(停止CPU访问内存)**
 - **2.周期挪用方式(单字传送方式)**
 - **3.透明DMA方式(DMA与CPU交替访内)**

1.停止CPU访问内存



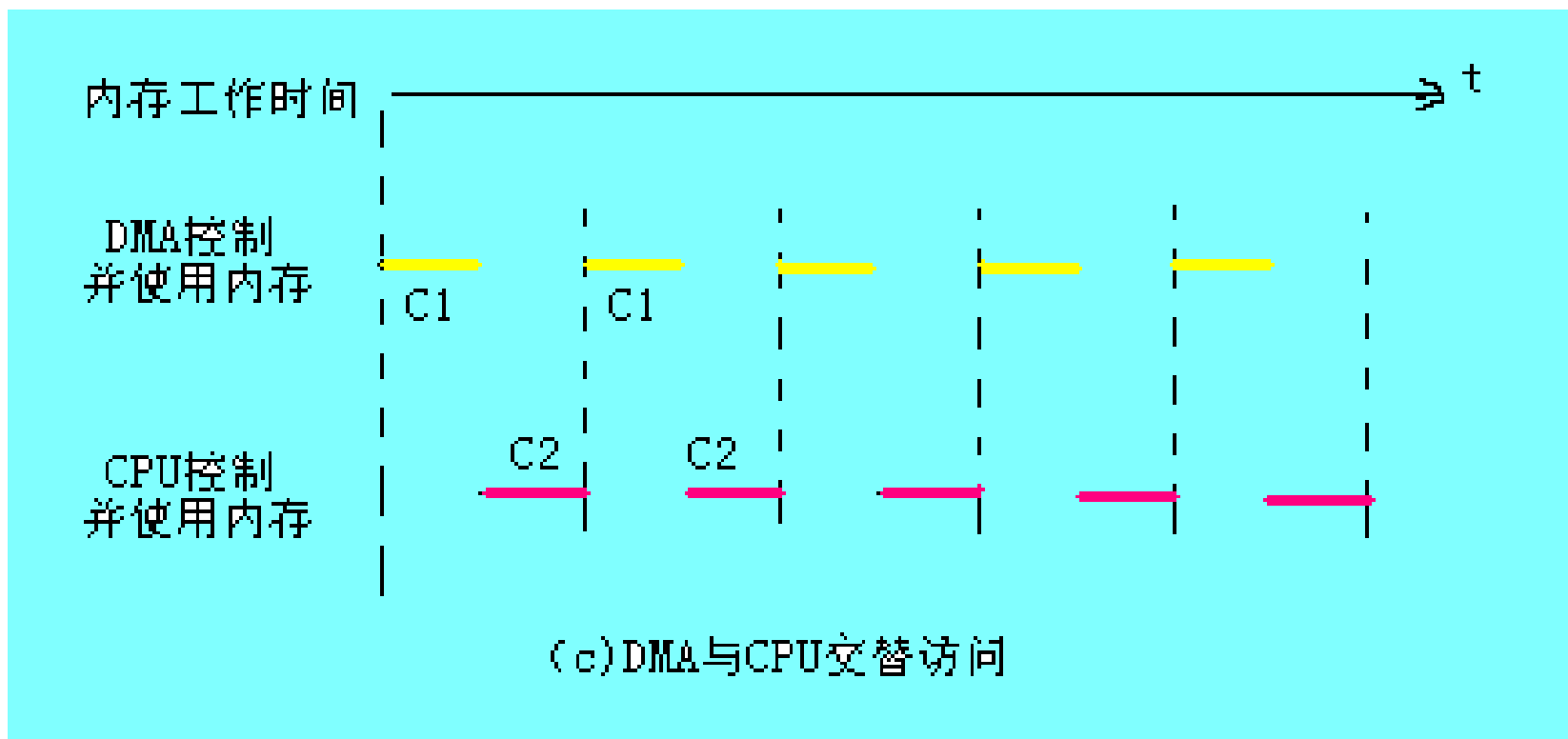
(a) 停止CPU访问内存

2.周期挪用



(b) 周期挪用

3.DMA和CPU交替访内



8.4.3 基本的DMA控制器

● 1.DMA控制器的基本组成

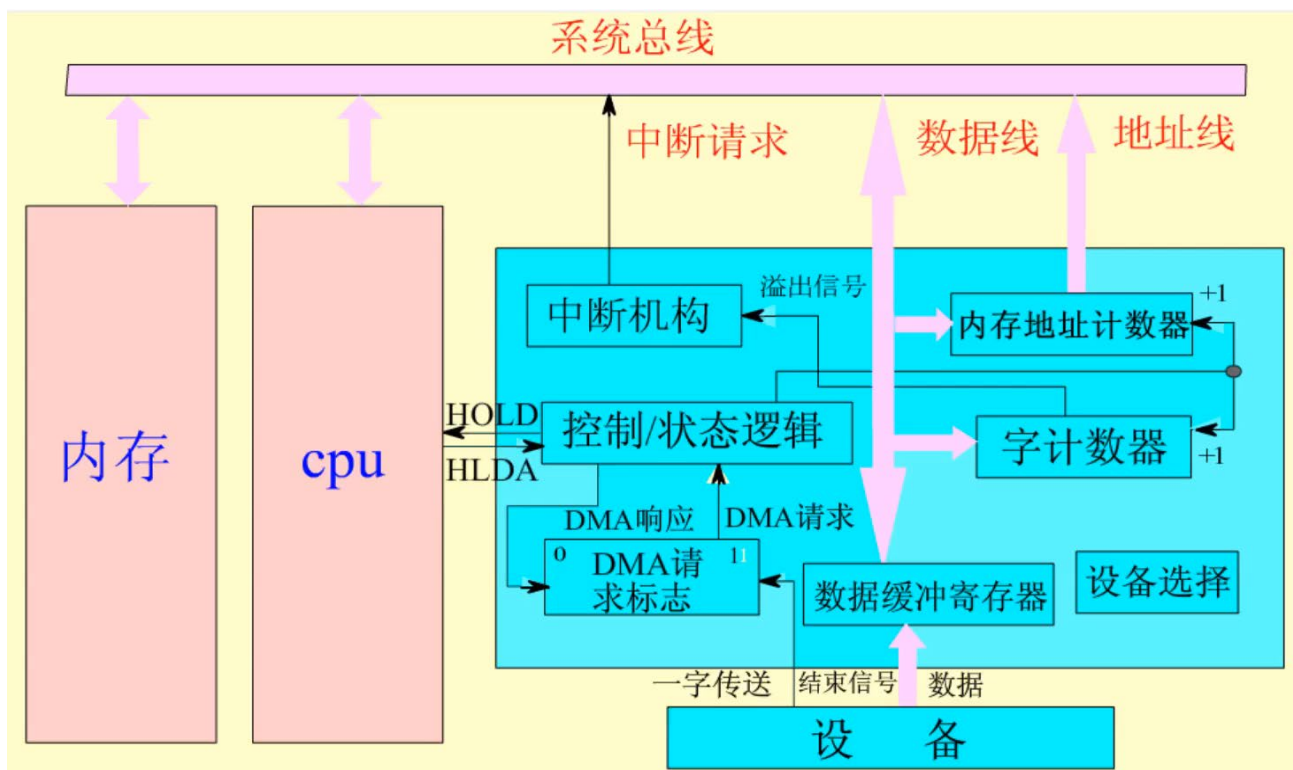


图8.14 简单的DMA控制器组成

DMA 接口功能

- (1) 向 CPU 申请 DMA 传送
- (2) 处理总线 控制权的转交
- (3) 管理 系统总线、控制 数据传送
- (4) 确定 数据传送的 首地址和长度
修正 传送过程中的数据地址和长度
- (5) DMA 传送结束时， 给出操作完成信号

DMA 方式与程序中断方式的比较

	中断方式	DMA 方式
(1) 数据传送	程序	硬件
(2) 响应时间	指令执行结束	存取周期结束
(3) 处理异常情况	能	不能
(4) 改变现场	是	否
(5) 优先级	低	高

例：计算开销

设处理器按500MHz的速度执行，硬盘控制器中有一个16B的数据缓存器，磁盘传输速率为4MB/Sec，在磁盘传输数据过程中，要求没有任何数据被错过，并假定CPU访存和DMA访存没有冲突。

(1) 若用中断驱动I/O，每次传送的开销（包括用于中断响应和处理的时间）是500个时钟周期。如果硬盘仅用5%的时间进行传送，那么处理器用在硬盘I/O操作上所花的时间百分比（主机占用率）为多少？

(2) 若用DMA方式，处理器花1000个时钟进行DMA传送的初始化设置，并且在DMA完成后的中断处理需要500个时钟周期。如果每次DMA传送8000B的数据块，那么当硬盘进行传送的时间占100%（即：硬盘一直进行读写，并传输数据）时，处理器用在硬盘I/O操作上的时间百分比（主机占用率）为多少？

一旦磁盘被启动传送，就以4MB/s的速度进行，主机要保证没有数据丢失！

例：计算开销

• 中断传送：

- 硬盘每次中断，可以以16字节为单位进行传送，为保证没有任何数据被错过，应达到每秒4MB /16B=250k次中断的速度；
- 每秒钟用于中断的时钟周期数为 $250k \times 500 = 125 \times 10^6$ ；
- 在一次数据传输中，处理器花费在I/O上的时间的百分比为： $125 \times 10^6 / (500 \times 10^6) = 25\%$ ；
- 假定硬盘仅用其中5%的时间来传送数据，则处理器花费在I/O方面的百分比为 $25\% \times 5\% = 1.25\%$ 。

• DMA传送：

- 每次DMA传送将花费 $8000B / (4MB/Sec) = 2 \times 10^{-3}$ 秒；
- 一秒钟内有 $1 / (2 \times 10^{-3}) = 500$ 次DMA传送；
- 如果硬盘一直在传送数据的话，处理器必须每秒钟花 $(1000 + 500) \times 500 = 750 \times 10^3$ 个时钟周期来为硬盘I/O操作服务；
- 在硬盘I/O操作上处理器花费的时间占：

$$750 \times 10^3 / (500 \times 10^6) = 1.5 \times 10^{-3} = 0.15\%。$$

扩展题:

- 假定计算机的主频为**500MHz**，**CPI**为**4**。现有设备**A**和**B**，其数据传输率分别为**2MB/s**和**40MB/s**，对应**I/O**接口中各有一个**32位**数据缓冲寄存器。请回答下列问题，要求给出计算过程。
- (1)若设备**A**采用定时查询 **I/O**方式，每次输入/输出都至少执行**10**条指令。设备**A**最多间隔多长时间查询一次才能不丢失数据？**CPU**用于设备**A**输入/输出的时间占**CPU**总时间的百分比至少是多少？

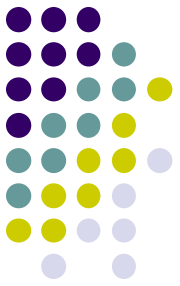
- (2)在I/O中断方式下，若每次中断响应和中断处理的总时钟周期数至少为400，则**设备B能否采用中断I/O方式**？为什么？
- (3)若设备B采用DMA方式，每次DMA传送的数据块大小1000B，**CPU用于DMA预处理和后处理的总时钟周期数为500**，则**CPU用于设备B输入/输出的时间占CPU总时间的百分比最多是多少**？

解答:

(1) 程序定时向缓存端口查询数据,由于缓存端口大小有限,必须在传输完端口大小的数据时访问端口,以防止部分数据没有被及时读取而丢失。设备 A 准备 32 位数据所用的时间为 $4\text{B}/2\text{MB}=2\mu\text{s}$,所以最多每隔 $2\mu\text{s}$ 必须查询一次,每秒的查询次数至少是 $1\text{s}/2\mu\text{s}=5\times 10^5$,每秒 CPU 用于设备 A 输入/输出的时间至少为 $5\times 10^5\times 10\times 4=2\times 10^7$ 个时钟周期,占整个 CPU 时间的百分比至少是 $2\times 10^7/500\text{M}=4\%$ 。

(2) 中断响应和中断处理的时间为 $400\times(1/500\text{M})=0.8\mu\text{s}$,这时只需判断设备 B 准备 32 位数据要多久,如果准备数据的时间小于中断响应和中断处理的时间,那么数据就会被刷新、造成丢失。经过计算,设备 B 准备 32 位数据所用时间为 $4\text{B}/40\text{MB}=0.1\mu\text{s}$,因此,设备 B 不适合采用中断 I/O 方式。

(3) 在 DMA 方式中,只有预处理和后处理需要 CPU 处理,数据的传送过程是由 DMA 控制。设备 B 每秒的 DMA 次数最多为 $40\text{MB}/1000\text{B}=40000$,CPU 用于设备 B 输入/输出的时间最多为 $40000\times 500=2\times 10^7$ 个时钟周期,占 CPU 总时间的百分比最多为 $2\times 10^7/500\text{M}=4\%$ 。



- 作业

教材P290: 7, 8